



MicroPatent® Worldwide PatSearch: Record 1 of 1

Family of JP61073452 [How It Works](#)

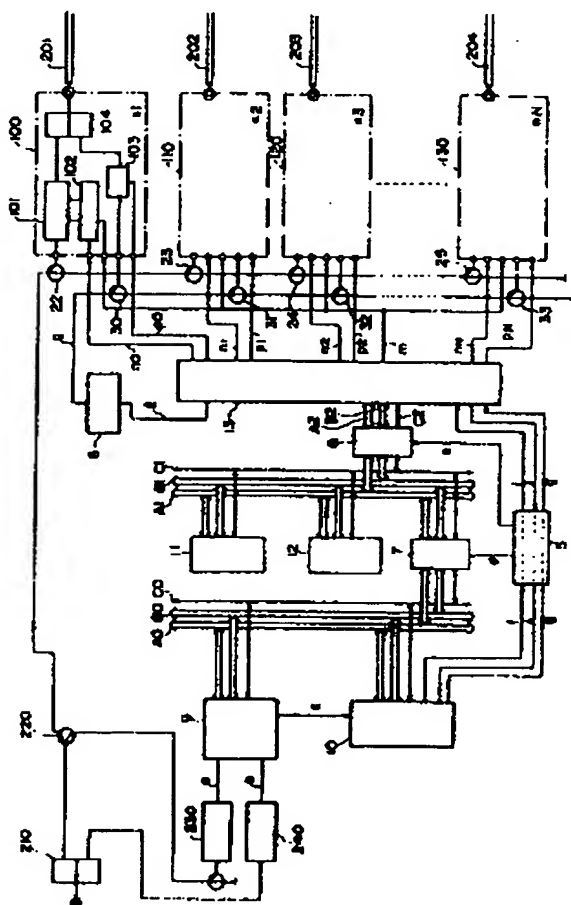
Stage 1 Patent Family - "Complex"		Priorities and Applications	
CC DocNum	KD PubDate	CC AppNum	KD AppDate
<input type="checkbox"/> JP 5068900	B4 19930929	JP 197628	A 19840919
<input type="checkbox"/> JP 61073452	A2 19860415	JP 197628	A 19840919
<input type="checkbox"/> US 4641363	A 19870203	JP 197628	A 19840919
		US 777809	A 19850919
3 Publications found.			
Order Selected Documents		Display the Extended Patent Family	



For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

☐ Include in patent order

MicroPatent® Worldwide PatSearch: Record 1 of 1

[Family Lookup](#)**JP61073452****COMMUNICATION SYSTEM OF CATV SYSTEM****PIONEER ELECTRONIC CORP****Inventor(s): ;HASEGAWA YONOSUKE****Application No. 59197628 , Filed 19840919 , Published 19860415****Abstract:**

PURPOSE: To reduce the whole cost of a system and to prevent the system from tapping by providing a distribution unit with a main central processor for executing data communication between a center and the distribution unit and at least one sub-central processor for executing data communication between the distribution unit and plural terminals corresponding to said unit.

CONSTITUTION: A down data signal branched by a branching filter 220 is inputted to a data communication interface 9 through a demodulator 230 and the binary data are serial∥parallel converted. An address signal, a data signal and a control signal are inputted to buses A_0 , B_0 , C_0 and processed by the main CPU 10 and the processed signals are inputted to buses A_1 , B_1 , C_1 through a bus switching circuit 7 and the down data signal is written in a RAM 12. On the other hand, the circuit 7 is controlled by a logical circuit together with another bus switching circuit 8, which connects the buses A_2 , B_2 , C_2 of the sub-CPU 13 to the buses A_1 , B_1 , C_1 . When said circuit 8 is closed, information in the RAM 12 is read out.

COPYRIGHT: (C)1986, JPO&Japio

Int'l Class: H04L01100 H04N00710 H04N007173

MicroPatent Reference Number: 001183164

COPYRIGHT: (C) JPO



PatentWeb
Home



Edit
Search



Return to
Patent List



Help

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

⑫ 公開特許公報(A)

昭61-73452

⑪ Int.Cl.⁴H 04 L 11/00
H 04 N 7/10
7/173

識別記号

1 0 3

庁内整理番号

Z-7830-5K
7013-5C
7013-5C

⑬ 公開 昭和61年(1986)4月15日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 CATVシステムの通信方式

⑮ 特 願 昭59-197628

⑯ 出 願 昭59(1984)9月19日

⑰ 発 明 者 長谷川 陽之助 東京都大田区大森西4丁目15番5号 バイオニア株式会社
大森工場内

⑱ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号

⑲ 代 理 人 弁理士 小橋 信淳 外1名

明 細 書

1. 発明の名称 CATVシステムの通信方式

2. 特許請求の範囲

センター側と各端末との間に分配ユニットを介在させ、上記分配ユニットで各端末の選局コントロールを行なうものにおいて、上記分配ユニットには、センターと上記分配ユニットとの間でデータ通信を行なう主中央処理装置および、上記分配ユニットと、これに対応する複数端末との間でデータ通信を行なう少なくとも1つの副中央処理装置が接続され、アドレス共用されるROMおよびRAMのバスに対して各処理装置のバスを選択的に接続させる切換装置を主中央処理装置に優先順位を与えてデータ通信することの特徴とするCATVシステムの通信方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、センター側と各端末との間に分配ユニットを介在させ、上記分配ユニットで各端末の選局コントロールを行なうようにしたCATVシ

ステムの通信方式に関するものである。

〔従来の技術〕

従来の通信方式では、センター側のヘッドエンド4から幹線増幅器2、分配増幅器3を介して伝送系4に送出されたTV信号は、分配器117,118を介して各端末500の伝送線115へと分配され、上記端末500では、フィルタ501を介してTV信号からこれに重畳したデータ信号を分離し、上記TV信号は、コンバータ504を介してデスクランブラ505に入り、ここでデスクランブルされてTV映像600に送られる。一方、データ信号は、復調器502で復調され、コントローラ506に入力される、上記コントローラ506では、リモートコントローラ508のキー操作で選択されたチャンネル選択信号が上記コントローラ506に入力された時、当該チャンネルの視聴の可否を判定してPLL回路503を駆動し、コンバータ504のチューニングを電子制御し、また、デスクランブラ505を作動させる。

このように端末500には、コンバータ504、こ

れをPLL回路503を介して制御するコントローラ506、デスクランブラ505が具備されており、センター側とのデータ通信機能、PLL制御、リモート入力制御、選局チャンネル表示、デスクランブラ制御などを行なっている。

【技術的課題】

ここで問題になるのは、上記端末内のコントローラには多くの機能および高速性（センター側のポーリングにตอบสนองするため）が要求されることで、端末コストを大幅に高める。しかし、各端末とセンターとの間でポーリングを行なうために、各端末は固有アドレスを有し、端末数が増大すると、ポーリング時間が長くなる欠点があり、更に、各端末の改造などで、監視されるなどの管理上の問題がある。

そこで、選局コントロールを端末への分配箇所集中させる分配ユニットで実施する方式が提唱されている。

【発明の目的】

本発明は、上記欠点を改善するためなされたも

ので、各端末への分配を行なう分配ユニット内に所要の装備をなして、各端末における装備を簡素化し、分配ユニットで集中制御することで、全体的コストの低減を図り、かつ監視を防止できると共に、ポーリングと、各端末からのランダムな送信との非同期性を許容することで、ポーリング効率を高めたCATVシステムの通信方式を提供しようとするものである。

【発明の構成】

この目的のため、本発明は、センター側と各端末との間に分配ユニットを介在させ、上記分配ユニットで各端末の選局コントロールを行なうものにおいて、上記分配ユニットには、センターと上記分配ユニットとの間でデータ通信を行なう主中央処理装置および、上記分配ユニットと、これに対応する複数端末との間でデータ通信を行なう少なくとも1つの副中央処理装置が装備され、アドレス共用されるROMおよびRAMのバスに対して各処理装置のバスを選択的に接続させる切換装置を主中央処理装置に優先順位を与えてデータ通

信することを特徴とするものである。

【実施例】

以下、本発明の一実施例を第2図ないし第5図を参照して具体的に説明する。図において符号1はセンター側のヘッドエンドであり、幹線増幅器2、分配増幅器3を介して伝送系4に送出される信号は、分配器117を介して分配ユニット200に入力される。ここでは各端末300と回路201,202,203,...を介して接続がなされ、データ通信ができる。またTV信号は、上記回路を介して端末300に入り、分波器301を介してTV映像機400に入力される。またリモートコントローラ304からの上り信号は、コントローラ303で処理されて、変調器302を介して回路201へと送出され、そして分配ユニット200に入力される。

上記分配ユニット200は、第3図にみられるような構成である。すなわち分配器117からの入力信号は、分岐器210を介して分波器220に入り、ここでTV信号が分けられて分配器22~25で各選局信号送受信器100~130に分配され、それぞれ

において、コバータ101でチューニングされ、分波器104を介して各回路201,202,...に送出される。回路201,202,...からの上り信号は、各対応する選局信号送受信器100~130に入り、スイッチ103を介して分配器30~33に入り、復調器6に入力される。

分波器220で分波された下りデータ信号は復調器230を介してデータ通信インターフェース(DCI)9に入り、ここで2進データの直列・並列変換を受け、バスA₀, B₀, C₀に対してアドレス信号、データ信号、コントロール信号を入力し、主中央処理装置10はこれを処理して、バス切換回路7を介してバスA₁, B₁, C₁に信号を送り、RAM12に下りデータ信号を格納する。逆にセンター側からのポーリングを受けて、上りデータを送出する時には、上記RAM12からデータを読出してDCI9を介して変調器240に入れ、変調して分波器210へと送出する。

一方、上記バス切換回路7は別のバス切換回路8と共に、論理回路5によって切換え制御される

のであり、上記バス切換回路8は副中央処理装置13のバス A_1 、 B_1 、 C_1 を上記バス A_1 、 B_1 、 C_1 に接続する。上記バス切換回路8が閉じている時、RAM12内の情報が読出され、その情報にもとづくポーリングをすべき端末に対応する選局信号送受信器100～130のスイッチ103をオンし、上りデータを復調器6に通してこれを処理し、共通アドレスのRAM12に格込むのである。同時にPLL回路102に対しては制御信号を与え、コンバータ101をチューニングする。必要ならば、上記コンバータ101にはデスクランブラを含むとよい。

次に、第4図を参照してデータ信号の動きにつき具体的に説明する。図中、符号aは2進化直列形式の下りデータ信号であり、アドレスデータ部 $A_0 \sim A_n$ と、データ部 $D_{T0} \sim D_{Tn}$ で1つのポーリングデータを構成している。なお図において※印は、ここで示す分配ユニットが各加入者に固有のアドレスとして AD_0 、 AD_1 、 AD_2 、 AD_3 、 AD_4 を具備していることを示

り出力される信号で、ポーリング方式によるデータ通信のタイミングを示している。ここで“L”レベルの期間が当該選局信号送出器に割当てられた通信時間である。この通信が“L”レベルの期間、スイッチ103は閉じており、データ通信が行なわれる。図中、 λ は各信号送出器に対する通信データを示している。

また符号 $\eta_0 \sim \eta_n$ は副中央処理装置13から出力される信号で、“L”レベル期間が、各信号送出器に対するPLLデータ（図中、信号線 η で示され、 $PL_1 \sim PL_n$ がこれに当る）の有効期間を示し、信号 η と信号 $\eta_0 \sim \eta_n$ の論理積を取ることで各PLL回路102の制御が行なわれる。

また符号iは、主中央処理装置10のバス切換え要求信号fが論理回路5を介して副中央処理装置13に入力するもので、i信号の破線部は図の副中央処理装置13のバス専用信号jと論理積を取ったもので、jが“H”レベルの時、すなわち副中央処理装置13がバス A_1 、 B_1 、 C_1 に接続されていない状態で、信号fは入力されず、jが“L”

している。また符号cは、DC19がアドレス一致の時に主中央処理装置10に対して出力する受信要求信号であり、符号fは、主中央処理装置10がバス A_0 、 B_0 、 C_0 をバス A_1 、 B_1 、 C_1 に接続され（バス A_1 、 B_1 、 C_1 を切り離す）、直接ROM11、RAM12にアクセスされるように要求する信号であり、論理回路5を経由して副中央処理装置13へ送出される。信号fは、受信要求信号cを受信後、該当する加入者の視聴コントロールデータとしてRAM12に記憶し、また上りデータとして、該加入者の視聴ステータスなどをRAM12から読出すために送出される。また信号bは、センター側のポーリングに対する上りデータ U_0 、 U_1 、 U_2 、 U_3 、 U_4 、 U_5 として送出される上りデータ信号である。

第4図において記号 t_0 、 t_1 、 t_2 、 t_n は、それぞれ副中央処理装置13の内部の演算処理の実行期間を例示しており、各々の期間は、選局信号送受信器100～130（#1～#n）に対応している。図中、符号 $P_0 \sim P_n$ は副中央処理装置13よ

レベルの時、すなわち副中央処理装置13が、バス A_1 、 B_1 、 C_1 と接続されている状態で、信号fが入力される様子を示している。

通常、バス要求信号iは、副中央処理装置13の割込み入力端子に接続されているため、これの、割込みイネーブル/ディスエーブルコントロール機能を使えば、信号fを論理回路5を介さず直接入力してもよい。すなわち副中央処理装置13は、バス専有信号を“L”レベルにして、バスを専有した時は割込みを許可し、バス専有信号を“H”レベルにし、非専有の時は割込みを禁止すればよい。

また符号gは、主中央処理装置10のバス専有信号を示し、“L”レベル期間が、バス A_1 、 B_1 、 C_1 を専有していることを示している。

第5図は主・副中央処理装置間のバスの切換え時のフローを示している。以下、信号j、i、gを用いバス切換えの状況を説明する。ここでは、RAM12、ROM11のバス A_1 、 B_1 、 C_1 を主・副中央処理装置との間で、演算処理上の必要度

に応じて相互に使用し、またその記憶装置のメモリ空間を共有し、通信情報の交換を行なうもので、同時に使用することは禁止されなければならない。

ここで、(4)は主中央処理装置10が共通メモリバス群を専有アクセスする時の手順を示している。専有の優先度は、主中央処理装置10側にある。すなわちセンターとの間でポーリングに依る通信の応答がプライオリティを高くしてあり、このため、メモリアクセスが優先される。まず主中央処理装置10が各端末対応のアドレスに対していずれかにポーリングがあった場合に、その下りデータのコマンド実行と、そのセーブおよび上りデータの送出のため、各端末のステータスを読出すためのバス専有要求信号jを送出し、同時に、バスA₁、B₁、C₁の副中央処理装置13側の専有を示す信号jをみて、“H”レベルであれば非専有として、自ずからの専有信号gを送出し、共通メモリをアクセスする。もし“L”レベルであれば専有として、要求信号は副中央処理装置13に割込み信号としてバスの解放を要求し、その解放を待つ。jが

B₀、C₀、A₂、B₂、C₂をバスA₁、B₁、C₁に対して選択的に断・続するもので、電気的な開閉と、電気的な高インピーダンス状態を含む。開閉のタイミングは、切換回路7については主中央処理装置10のバス専有信号gと同じに閉じ、切換回路8については副中央処理装置13のバス専有信号jと同じタイミングで閉じる。論理回路5は、以上のバス専有信号g、j、バス要求信号f、バス開閉信号d、eをそれぞれの論理レベル、極性変換にして送出する。

なお副中央処理装置が2つ以上の時には、この論理回路は、複数の副中央処理装置のバス群のメモリ専有を時間制御するように、タイミング送出する機能も有することになる。

なお上記実施例において、副中央処理装置13により上りデータ信号の取込み(RAM12)は、チャンネル選択データのほか、双方向CATVシステムでは、上りデータとしてセンター側にアンサーバックするための加入者別の視聴ステータス情報などがある。また副中央処理装置13は、各端末

“H”レベルから“L”レベルに、そしてバスが解放されて自ずからアクセスした時、gを“L”レベルにしてアクセスを開始する。

(5)は副中央処理装置13がバスA₁、B₁、C₁を専有する手順を示し、また主中央処理装置10の割込みに依ってバス群を解放し、主中央処理装置10が解放後、専有する時の割込み処理手順が(4)で示されている。専有手順は、前述した主中央処理装置10と同じであるが、専有信号jを“L”レベルにして専有した時は、同時に、割込み可にして、主中央処理装置10の専有要求fに対応できるようにする。また専有終了後は、割込みを禁止し、他の演算処理(通信など)が妨害されないようにする。

割込みルーチン(5)は、バス専有(jが“L”→“H”レベル)を解放し、主中央処理装置10の専有解放を待ち(gが“L”→“H”レベル)、再び専有信号jを送出する。

次にバス切換回路7、8について述べる。これらは、それぞれ、主・副中央処理装置のバスA₀、

対応のPLL回路102の制御、このためのRAM11からのPLL制御データの読出し、視聴許可チャンネルか否かの判定などを行なう。

なおこのデータ通信は、各リモート端末に対してはポーリング方式をとっており、半二重通信であるが、D₀～D_nの各期間に、送受信を行なってもよく、また受信はD_i、送信はD_{i+1}の期間というように、次の期間にまたがってもよい。さらに複数加入者に対し、D_{i-1}期間は(i-1)番目の端末を受信し、(n-2)番目の端末へ送信し、D_i期間は(i)番目の端末を受信し、(i-1)番目の端末へ送信するように、見かけ上、副中央処理装置13と各端末との間で二重通信方式になってもよい。

なおCATV制御系では、加入者側データ通信の内容としては、チャンネル先端データとその表示データが主であり、通常、電気的にキー操作データを読取る時、また人間がキー操作する時間間隔は数十ms～数百msであるから、ポーリング周期が数十ms～数百ms以内であればチャンネル選択動

作を実質的に実現できる時間間隔に違和感はない。

また、副中央処理装置13とは全く非同期にランダムに生ずるセンター側ポーリングに対する応答も、共通ROM、RAMのアクセス時に割込みでバス解放の要求ができるだけで、ほとんど端末側のポーリングに影響しない。

なお上記実施例では、双方向データ通信形を示したが、1方向データ通信にもそのまま採用できる。この場合に変調器240は不要である。また復調器6を、各選局信号送受信器100～130内にそれぞれ設けてもよい。また回線201,202,...を電気信号伝送路として示したが、電気/光変換器、光/電気変換器を分配ユニット200と各端末とに設ければ、光伝送路としてもよいことは勿論である。

また、バス切換回路7,8は、制御信号で切換え動作するものとしたが、バスA₀, B₀, C₀と、A₁, B₁, C₁とをそれぞれ外部信号d₀, c₀がハイインピーダンスにできれば、同じ効果が得られる。

【発明の効果】

ROM、12…RAM、13…副中央処理装置、22～25…分配器、30～33…分配器、100～130…選局信号送受信器、101…コンバータ、102…PLL回路、103…スイッチ、104…分波器、115…伝送線、117,118…分配器、201～204…回線、300…端末、301…分波器、302…変調器、303…コントローラ、304…リモートコントローラ、400…TV受像機、210…分岐器、220…分配器、230…復調器、240…変調器。

本発明は、以上詳述したようになり、通常は高速で行なわれるセンター側のポーリングを、分配ユニットとの間で実施し、これと全く非同期で低速の端末側の情報、データ伝送制御を、上記分配ユニットにおける共通メモリを利用して効果的に実現できる。また副中央処理装置は、CATV端末の情報の特徴を活かして、ポーリング形式により極めて少ない制御系(ハードウェア)で多数の端末を制御でき、1端末におけるハードウェアコストを大幅に低減できるなどの効果が得られる。

4. 図面の簡単な説明

第1図は従来例の通信システム構成図、第2図は本発明の一実施例を示す構成図、第3図は分配ユニットのブロック構成図、第4図はタイミングチャート、第5図は主・副中央処理装置の共通メモリアクセスの説明のためのフローチャートである。

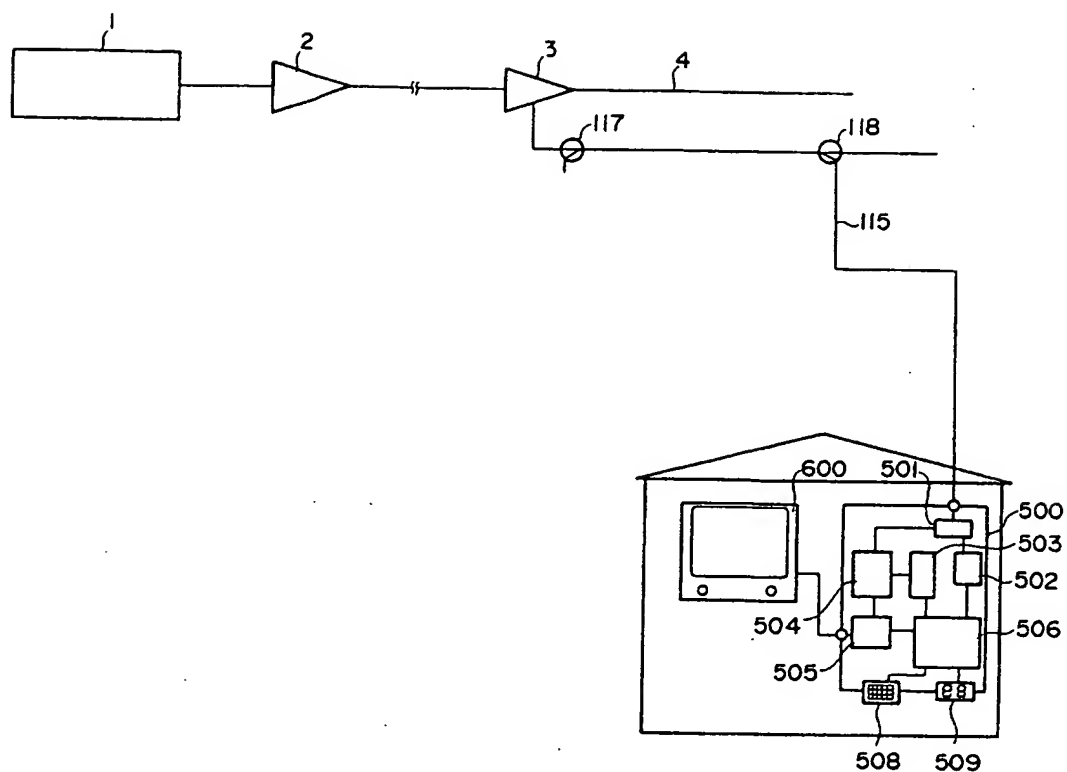
1…ヘッドエンド、2,3…増幅器、4…伝送系、5…論理回路、6…復調器、7,8…バス切換回路、9…DCI、10…主中央処理装置、11…

特許出願人 バイオニア株式会社

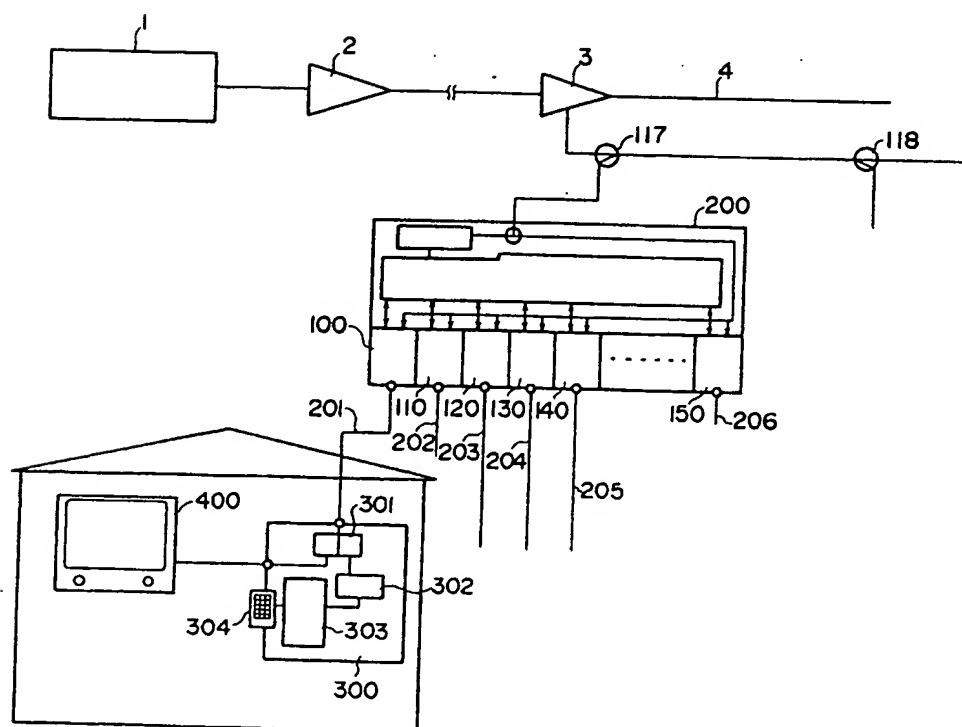
代理人 弁理士 小 橋 信 昭

同 弁理士 村 井 進

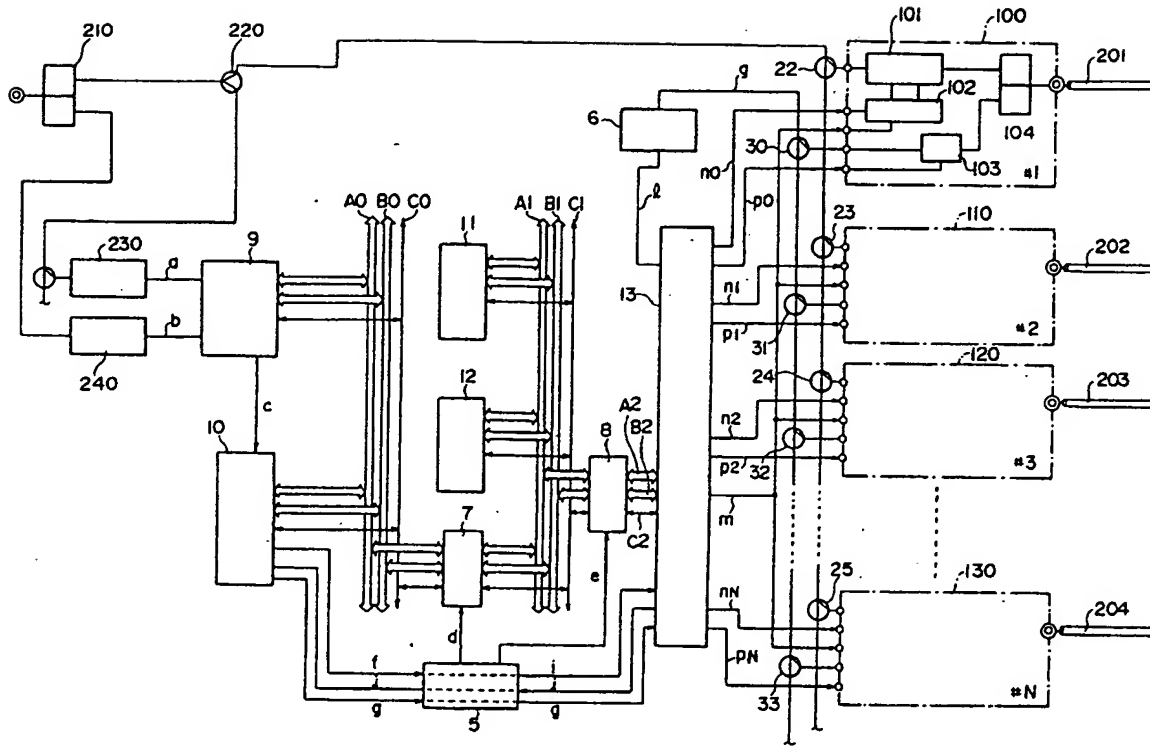
第 1 図



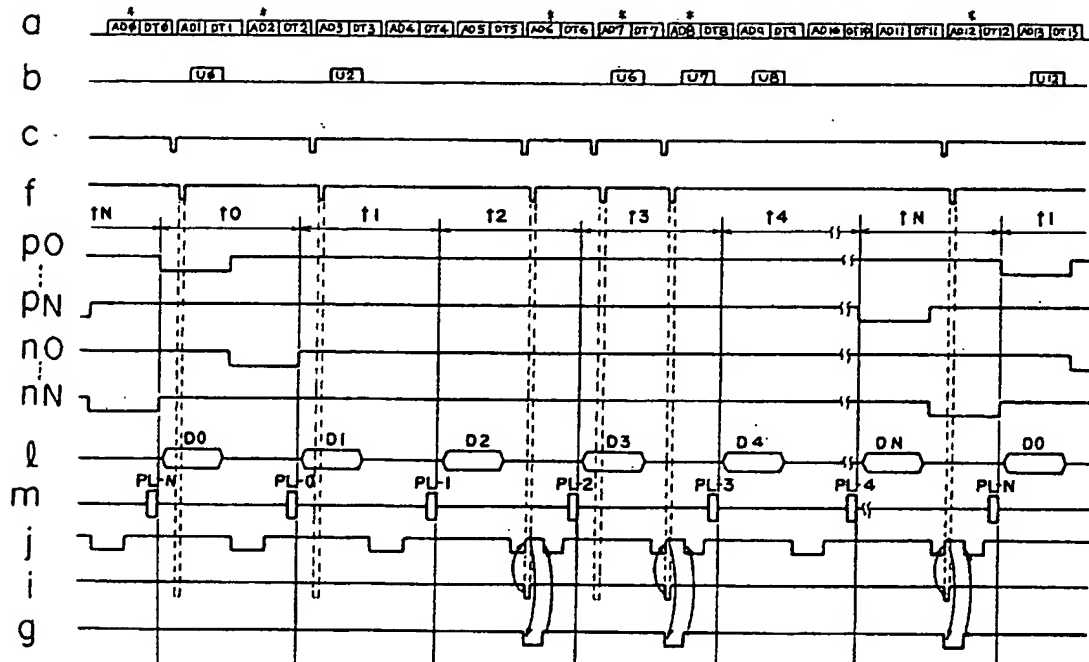
第 2 図



第 3 図



第 4 図



第5図

(A)

(B)

主中央演算処理装置 フロー 副中央演算処理装置 フロー

